

PROCESS FOR PRODUCING SEMICONDUCTOR SUBSTRATE

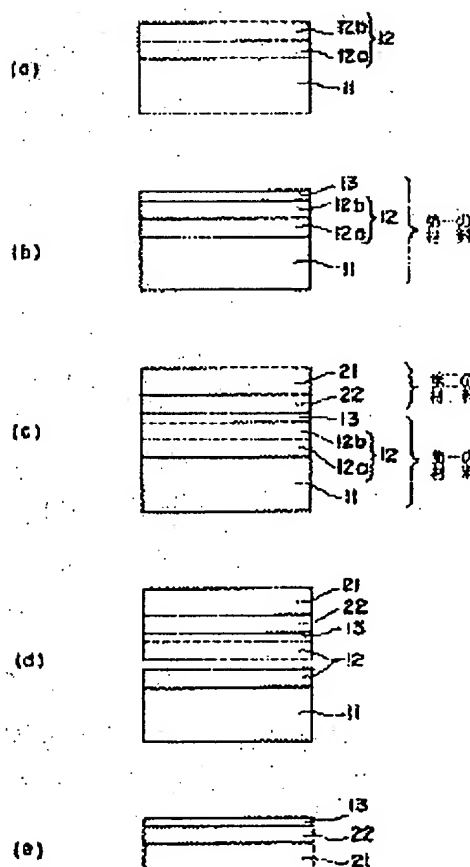
Patent number: JP2004342975
Publication date: 2004-12-02
Inventor: IGARASHI MASATO; SENSAI KOJI; KURITA HISATSUGU; SENDA TAKESHI
Applicant: TOSHIBA CERAMICS CO
Classification:
- International: H01L21/20; H01L21/336; H01L27/12; H01L29/161; H01L29/786
- european:
Application number: JP20030140273 20030519
Priority number(s): JP20030140273 20030519

Report a data error here

Abstract of JP2004342975

<P>PROBLEM TO BE SOLVED: To provide a process for producing a semiconductor substrate in which a strained Si layer can be formed on a silicon substrate while suppressing threading dislocation as much as possible and eliminating an SiGe layer as much as possible and production efficiency can be enhanced. **<P>SOLUTION:** The process for producing a semiconductor substrate comprises a step for preparing a first material, where a silicon-germanium porous layer formed by anodizing a silicon-germanium substrate and a strained silicon layer are formed sequentially, on the silicon-germanium substrate, a step for preparing a second material where a silicon oxide film layer is formed on a silicon-germanium substrate, a step for pasting the strained silicon layer side of the first material and the silicon oxide film layer side of the second material, and a step for obtaining a silicon substrate where the silicon oxide film layer and the strained silicon layer are formed sequentially by separating and removing the silicon-germanium substrate and the silicon-germanium porous layer on the silicon-germanium substrate.

<P>COPYRIGHT: (C)2005,JPO&NCIPI



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-342975

(P2004-342975A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/20

H O 1 L 21/20

5 F 0 5 2

H O 1 L 21/336

H O 1 L 27/12

B

5 F 1 1 0

H O 1 L 27/12

H O 1 L 29/163

H O 1 L 29/161

H O 1 L 29/78

6 1 8 A

H O 1 L 29/786

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願2003-140273 (P2003-140273)

(22) 出願日

平成15年5月19日 (2003. 5. 19)

(71) 出願人 000221122

東芝セラミックス株式会社

東京都新宿区西新宿七丁目5番25号

(74) 代理人 100101878

弁理士 木下 茂

(72) 発明者 五十嵐 昌人

新潟県北蒲原郡聖羅町東港六丁目861番

地5 新潟東芝セラミックス株式会社内

(72) 発明者 泉 菱 宏治

新潟県北蒲原郡聖羅町東港六丁目861番

地5 新潟東芝セラミックス株式会社内

(72) 発明者 栗田 久嗣

新潟県北蒲原郡聖羅町東港六丁目861番

地5 新潟東芝セラミックス株式会社内

最終頁に続く

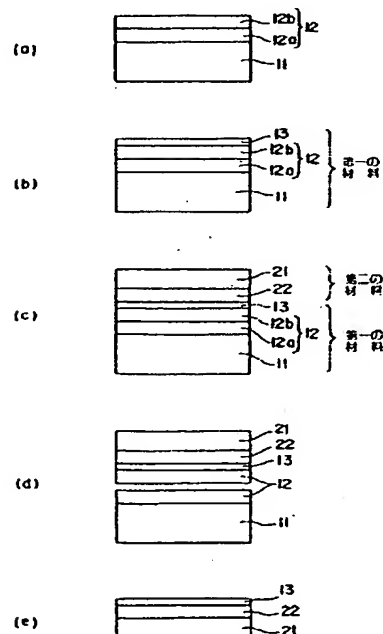
(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 SiGe層を極力設けることなく、貫通転位を極力抑制した歪みSi層をシリコン基板上に形成することができ、生産効率を向上できる半導体基板の製造方法を提供する。

【解決手段】 シリコン・ゲルマニウム基板上に、前記シリコン・ゲルマニウム基板を陽極化成し作成されたシリコン・ゲルマニウム多孔質層及び歪みシリコン層が順次形成された第一の材料を用意する工程と、シリコン基板上にシリコン酸化膜層が形成された第二の材料を用意する工程と、前記第一の材料の歪みシリコン層側と第二の材料のシリコン酸化膜層側とを貼り合わせる工程と、前記シリコン・ゲルマニウム基板および前記シリコン・ゲルマニウム基板上のシリコン・ゲルマニウム多孔質層を分離・除去し、シリコン酸化膜層及び歪みシリコン層が順次積層されたシリコン基板を得る工程とを少なくとも含む。

【選択図】 図1



【特許請求の範囲】

【請求項1】

シリコン・ゲルマニウム基板上に、前記シリコン・ゲルマニウム基板を陽極化成し作成されたシリコン・ゲルマニウム多孔質層及び歪みシリコン層が順次形成された第一の材料を用意する工程と、

シリコン基板上にシリコン酸化膜層が形成された第二の材料を用意する工程と、

前記第一の材料の歪みシリコン層側と第二の材料のシリコン酸化膜層側とを貼り合わせる工程と、

前記シリコン・ゲルマニウム基板および前記シリコン・ゲルマニウム基板上のシリコン・ゲルマニウム多孔質層を分離・除去し、シリコン酸化膜層及び歪みシリコン層が順次積層されたシリコン基板を得る工程と

を少なくとも含むことを特徴とする半導体基板の製造方法。

【請求項2】

前記シリコン・ゲルマニウム基板上に、基板のゲルマニウム組成とほぼ同一でかつ一定のシリコン・ゲルマニウム層をエピタキシャル成長させた後、

前記シリコン・ゲルマニウム基板を陽極化成しシリコン・ゲルマニウム多孔質層、及び歪みシリコン層を形成することを特徴とする請求項1に記載された半導体基板の製造方法。

【請求項3】

前記シリコン・ゲルマニウム基板を陽極化成し作成されたシリコン・ゲルマニウム多孔質層が、多孔度の異なる二層のシリコン・ゲルマニウム多孔質層であることを特徴とする請求項1または請求項2に記載された半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、歪みシリコン層を有する半導体基板の製造方法に関する。

【0002】

【従来の技術】

今日、大規模集積回路（LSI）の性能向上のため、高速かつ低消費電力を特徴とするMOS型電界効果トランジスタ（MOS FET）の実現、およびその性能向上が不可欠であると言われている。

このため、従来から、例えば電荷が伝わる速度（以下、キャリア移動度と称する）など、電気特性の向上を目的とした研究開発が積極的に行われている。その結果、キャリア移動度を高める技術の1つとして、歪みの入った単結晶シリコン層（以下、歪みSi層と称する）をシリコン基板上に形成し、該歪みSi層上に素子を形成する技術が開発されている。

尚、この歪みSi層とは、例えば（100）単結晶シリコン基板の場合、基板表面と平行な<010>および<001>方向に引っ張られ、歪んでいる状態にあるSi層をいう。

【0003】

この歪みSi層を有する半導体基板について、図2に基づいて更に詳述する。

図2において、符号1はシリコン基板であって、このシリコン基板1上に、ゲルマニウム（以下、Geと称する）組成が連続的に変化しているシリコン・ゲルマニウム（以下、SiGeと称する）層（以下、組成変調SiGe層と称する）2が積層されている。

この「Ge組成が連続的に変化する」とは、シリコン基板1側が0%で、シリコン基板1と反対側（後述する緩和SiGe層3側）が所望の濃度に形成されていることをいう。

【0004】

そして、この組成変調SiGe層2上に、Ge組成が一定の緩和SiGe層（以下、緩和SiGe層と称する）3及び歪みSi層4が順次形成されている。ここで、前記の「緩和」とは、SiGe層内に歪みが残留しておらず、その格子定数がSiとGeの原子半径の違いおよびその組成から決定される本来の格子定数に等しいことを意味する。

尚、歪みSi層4の格子定数を1%程度伸ばすために、緩和SiGe層3のGe組成は、

$\text{Si}_{1-x}\text{Ge}_x$ とした場合、 $x = 0.25 \sim 0.3$ 程度が用いられている。

【0005】

この構造の半導体基板では、貫通転位5は組成変調SiGe層2に閉じ込められ、緩和SiGe層3には貫通転位5が入らないとされている。

しかしながら、前記半導体基板にあっても、実際には緩和SiGe層3にまで貫通転位5が伝播し、さらにこの貫通転位5は歪みSi層4にまで達することがある。このため、この貫通転位5により歪みSi層4の信頼性が低下し、歪みSi層4に素子を形成しても、期待通りの電気的特性を得ることが困難であるという問題点があった。

尚、組成変調SiGe層2をなくし、シリコン基板1上に直接緩和SiGe層3を形成すると、貫通転位5の密度が著しく増加し、歪みSi層4の信頼性は著しく低下する。その結果、歪みSi層4に素子を形成しても、期待通りの電気的特性を得ることが非常に困難である。

【0006】

また一方、近年、寄生容量を低減して高速化を図るために、SOI (Silicon on Insulator) 基板が用いられており、前記の歪みシリコンと組み合わせて更なる高速化を目指すSSOI (Strained-Silicon on Insulator) 基板も研究されている。この構造の半導体基板は、シリコン基板、シリコン酸化膜層、SiGe層、歪みSi層が順次積層されているものである。

【0007】

【発明が解決しようとする課題】

ところで、歪みが十分緩和され、貫通転位密度をおおよそ 10^5 個/cm²以下にするためには、例えば、図2に示した従来の半導体基板にあっては組成変調SiGe層2を2 μ m、緩和SiGe層3を1 μ m程度エピタキシャル成長させる必要がある。

この場合、緩和SiGe層3の表面粗さは二乗平均根で数nmの凸凹となるため、厚さ10～数10nmの歪みSi層4を積層するためには、事前に化学機械研磨（以下、CMPと称する）を行って平坦にする必要がある。

更に、 μ mオーダーの膜厚を必要とすることは、SiGe層のエピタキシャル成長速度が数100nm/min以下であることから、生産効率上好ましいものではなかった。

【0008】

また、前述のSSOI基板においては、膜厚の厚いSiGe層が歪みSi層とシリコン酸化膜層との間に介在するため、寄生容量が増大し、SOI基板を用いる意味が失われるという技術的課題があった。

【0009】

本発明は、上記事情に鑑みてなされたものであり、SiGe層を極力設けることなく、貫通転位を極力抑制した歪みSi層をシリコン基板上に形成することができる半導体基板の製造方法を提供することを目的とするものである。また、生産効率を向上できる半導体基板の製造方法を提供することを目的とするものである。

【0010】

【課題を解決するための手段】

本発明は上記技術的課題を解決するためになされたものであり、シリコン・ゲルマニウム基板上に、前記シリコン・ゲルマニウム基板を陽極化成し作成されたシリコン・ゲルマニウム多孔質層及び歪みシリコン層が順次形成された第一の材料を用意する工程と、シリコン基板上にシリコン酸化膜層が形成された第二の材料を用意する工程と、前記第一の材料の歪みシリコン層側と第二の材料のシリコン酸化膜層側とを貼り合わせる工程と、前記シリコン・ゲルマニウム基板および前記シリコン・ゲルマニウム基板上のシリコン・ゲルマニウム多孔質層を分離・除去し、シリコン酸化膜層及び歪みシリコン層が順次積層されたシリコン基板を得る工程とを少なくとも含むことを特徴としている。

【0011】

本発明にかかる半導体製造方法によれば、従来技術のようなSiGe層をエピタキシャル成長させる必要がないため、効率的に半導体基板を製造することができる。

また、本発明にかかる半導体製造方法によれば、従来技術の場合のように組成が異なるSiGe層をエピタキシャル成長させないため、新たな転位が発生しない。その結果、SiGe結晶中に元々存在する転位のみとなり、歪みSi層の貫通転位を極力抑制できる。

【0012】

更に、本発明にかかる半導体製造方法によれば、歪みSi層のみエピタキシャル成長させた場合には、従来技術の場合のようにSiGe層成長に起因する表面荒れが発生せず、CMPを行う必要がなくなる。

更にまた、本発明にかかる半導体製造方法によって製造された半導体基板は、SiGe層を備えない構造のSSOI基板であるため、寄生容量の増大を防止でき、キャリア移動度の更なる向上が図られる。

【0013】

ここで、前記SiGe基板上に、基板のGe組成とほぼ同一でかつ一定のSiGe層をエピタキシャル成長させた後、前記SiGe基板を陽極化成しSiGe多孔質層、及び歪みSi層を形成してもよい。

このように、SiGe層を形成することにより、SiGe基板面内のGe組成がより均一となり、この上に形成される歪みSi層の格子歪み量も面内でより均一化することができる。尚、SiGe基板とSiGe層のGe組成はほとんど同一のため、格子間隔もほぼ同一であり、新たに転位が発生することはない。

しかも、このエピタキシャル成長させるSiGe層の膜厚は薄いため、従来に比べ、効率的に半導体基板を製造できる。

【0014】

また、前記SiGe基板を陽極化成し作成されたSiGe多孔質層が、多孔度の異なる二層のSiGe多孔質層であることが望ましい。

このように、多孔度の異なる二層のSiGe多孔質層が形成されているため、二層の多孔質層間近傍に歪みが集中している。そこに、外部から何らかの力を加えることにより、分離の先端は界面近傍の歪みエネルギーを下げるように進行するため、分離面が層間近傍に限定され好ましい。

なお、多孔度Pとは、以下の式で定義される。

$$P(\%) = \{ \text{陽極化成前後の重量差 (g)} \} \div \{ \text{Siの密度 (g/cm}^3\text{)} \times \text{形成された多孔質Siの体積 (cm}^3\text{)} \} \times 100(\%)$$

【0015】

また、前記多孔度の異なる二層のSiGe多孔質層のうち、多孔度の低いSiGe多孔質層の上に、歪みSi層が順次形成されることが望ましい。

このように、多孔度の低いSiGe多孔質層の上に、歪みSi層が順次形成されるため、この上に歪みSi層をエピタキシャル成長させる際に導入され得る積層欠陥を、十分抑制することが可能となる。

【0016】

【発明の実施の形態】

本発明にかかる半導体基板の製造方法の一実施形態について、図1に基づいて説明する。

まず、チョクラルスキー（以下、CZと称する）法により、SiGe結晶を引き上げ、SiGe基板上11を作成する。

そして、一般的に知られている陽極化成法によって、SiGe基板11の表面を多孔質化させる（図1(a)参照）。

例えば、P型(100)、抵抗率0.01Ωcmのシリコン基板を、フッ化水素水と水とエタノール溶液(HF:H₂O:C₂H₅OH=1:1:1)中にて、電流密度1~100(mA・cm⁻²)、10秒~100分間、処理することにより、前記SiGe基板11の表面を多孔質化させることができる。

【0017】

また、SiGe基板11の表面に形成する多孔質層を、電流密度を変化させることにより、多孔度の異なる二層のSiGe多孔質層12aおよび12b形成する。

10

20

30

40

50

このように、SiGe基板11に多孔度の異なる二層のSiGe多孔質層12a、12bを形成するのは、二層の多孔質層間近傍に歪みが集中しており、そこに、外部から何らかの力を加えることにより、分離の先端は界面近傍の歪みエネルギーを下げるように進行するため、分離面が層間近傍に限定されるためである。

【0018】

しかも、図1(a)に示すように、SiGe基板11側に多孔度の高いSiGe多孔質層12aが形成され、その多孔度の高いSiGe多孔質層12aの上(SiGe基板11の最表面側)にその多孔度の低いSiGe多孔質層12bを形成する。

このように、SiGe基板11側に多孔度の高いSiGe多孔質層12aを形成し、その上にその多孔度の低いSiGe多孔質層12bを形成するのは、この上に歪みSi層をエ
10
ピタキシャル成長させる際に導入され得る積層欠陥を、十分抑制することが可能となるためである。

【0019】

その後、多孔質層12b上に歪みSi層13をエピタキシャル成長により形成し、第一の材料を作成する(図1(b)参照)。

歪みSi層13をエピタキシャル成長させる条件は、例えば、減圧CVD法にて、ソース・ガスにモノ・シラン(以下、SiH₄と称する)を用いて、500~800℃程度で行
10
われる。

そして、膜厚10~数10nmの歪みSi層13を形成する。

このとき、多孔質層12bと歪みSi層13の格子間隔は等しくなるので、例えばSiGe
20
e基板のGe組成を25~30%とすれば、歪みSi層13には1%程度の引っ張り応力が生じる。

【0020】

次に、前記第一の材料とは別に、シリコン基板21上にシリコン酸化膜層22を積層した第二の材料を用意する。このシリコン基板21上にシリコン酸化膜層22を形成するのは、一般的に知られた方法により形成でき、例えば、熱酸化処理によって形成できる。

そして、第一の材料の歪みSi層13と第二の材料のシリコン酸化膜層22を貼り合わせ、その後800~1000℃にて熱処理を行い、前記貼り合わせ面を強固に接着する(図
1(c)参照)。

【0021】

次に、第一の材料と第二の材料が接着した状態で、端面より純水を高圧で噴射することにより、多孔度の異なる二層の多孔質層間近傍にて切断する(図1(d)参照)。

この後、シリコン酸化膜層22、歪みSi層13、多孔質層12の一部が積層されたシリ
30
コン基板21をエッチングし、多孔質層12を除去する(図1(e)参照)。

このエッチング液としては、例えば、フッ化水素水と過酸化水素水の溶液を用いることができる。

【0022】

最後に、水素雰囲気中で1000~1100℃にて熱処理を行うことにより、多孔質層1
2がエッチングされた面を平滑化処理し、シリコン酸化膜層22及び歪みSi層13が順
40
次積層された前記シリコン基板21が得られる。

【0023】

SiとGeは全率固溶のため、所望のGe組成を有するSiGe基板(SiGe結晶)をCZ法により作成することが可能である。

このSiGe基板を用いれば、従来技術で問題となるSiGe層のエピタキシャル成長は不要となるため、エピタキシャル成長に伴う転位が新たに発生することはなく、SiGe
50
基板に元々存在する転位のみとなる。

その結果、SiGe基板上にエピタキシャル成長させる歪みSi層の貫通転位は、大幅に低減される。

【0024】

また、従来技術のようにSiGe層をエピタキシャル成長させる必要がないため、効率的
50

に半導体基板を製造でき、生産性も大幅に向上する。

更に、SiGe結晶からSiGe基板が作成されるため、その格子間隔は初めから完全緩和しており、必要な引っ張り応力を歪みSi層に与えることが可能である。

また、最終的に得られた半導体基板が、SiGe層がない構造であるSSOI基板であるため、寄生容量の低下を防止でき、キャリア移動度の更なる向上を図ることができる。

【0025】

【実施例】

次に、実施例について説明する。

CZ法により、SiGe結晶を引き上げ、SiGe基板を作成する。このときのSiGe基板のGe組成を25%となるように、SiGe基板(SiGe結晶)を作成した。

次に、フッ化水素水と水とエタノール溶液($\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$)

中にて、電流密度 $7(\text{mA}\cdot\text{cm}^{-2})$ 、11分処理し、更に、電流密度 $25(\text{mA}\cdot\text{cm}^{-2})$ 、3分処理した。

その結果、SiGe基板側に多孔度の高い第1のSiGe多孔質層が形成され、この第1の多孔度の高いSiGe多孔質層の上(SiGe基板の最表面側)に、多孔度の低い第2のSiGe多孔質層が形成された。

このときの第1のSiGe多孔質層の多孔度は40%、平均孔径は、数十nmであり、第2のSiGe多孔質層の多孔度は15%、平均孔径は、数nmであった。

【0026】

この後、多孔質層上に歪みSi層をエピタキシャル成長により形成し、第一の材料を作成した。

このときのエピタキシャルの条件は、減圧CVD法にて、ソース、ガスに SiH_4 を用い、 800°C にて処理し、多孔質層上に20nmの膜厚を有する歪みSi層が形成された。このとき、多孔質層と歪みSi層の格子間隔は等しくなるので、例えばSiGe基板のGe組成を25%としたため、歪みSi層には1%程度の引っ張り応力を生じている。

【0027】

次に、別に用意したシリコン基板上にシリコン酸化膜層を形成する。

このときの条件は、乾燥酸素雰囲気にて、 1000°C 、約50分の熱処理であり、約50nmのシリコン酸化膜層が形成された。

【0028】

その後、第一の材料の歪みSi層と第二の材料のシリコン酸化膜層を密着貼り合わせ、アルゴン雰囲気中で、 800°C にて1時間、熱処理を行い、前記貼り合わせ面を強固に接着する。

この第一の材料と第二の材料が接着した状態で、端面より純水を高圧(40MPa)で噴射することにより、多孔度の異なる二層の多孔質層間近傍にて切断した。

【0029】

この後、シリコン基板、Si酸化膜、歪みSi層、多孔質層の一部を、フッ化水素水と水と過酸化水素水($49\%\text{HF}:\text{H}_2\text{O}:30\%\text{H}_2\text{O}_2=1:1:1$)の溶液中にて、100分間処理し、エッチングした。

【0030】

そして、水素雰囲気中で $1000\sim1100^\circ\text{C}$ にて、60分間熱処理を行うことにより、多孔質層がエッチングされた面を平滑化処理した。

これにより、シリコン基板、シリコン酸化膜層、歪みSi層が順次積層した構造の歪みSiを有する半導体基板を得ることができた。

【0031】

なお、上記実施形態において、第一の材料の陽極化成、第一の材料の貼り合わせ、切断、不要部分の除去、平滑化処理について一例を示したが、本発明は上記例に限定されるものではなく、他の例、他の条件のもと、第一の材料の陽極化成、第一の材料の貼り合わせ、切断および不要部分の除去、平滑化処理を行っても良い。

【0032】

また、上記実施例にあっては、SiGe基板を陽極化成により多孔質化したが、SiGe基板を陽極化成により多孔質化する前に、基板のGe組成とほぼ同一でかつ一定のSiGe層を、例えば数100nm程度エピタキシャル成長させても良い。

これにより、SiGe基板面内のGe組成がより均一となり、この上に形成される歪みSi層の格子歪み量も面内で均一とすることができる。また、SiGe基板と緩和SiGe層のGe組成はほとんど同一のため、格子間隔もほぼ同一であり、新たに転位が発生することはない。

しかも、このエピタキシャル成長させるSiGe層の膜厚は薄いため、従来に比べ、効率的に半導体基板を製造できる。

【0033】

10

【発明の効果】

本発明の半導体製造方法によれば、SiGe層を極力設けることなく、貫通転位を極力抑制した歪みSi層をシリコン基板上に形成できる半導体基板の製造方法を得ることができる。また、生産効率を向上できる半導体基板の製造方法を得ることができる。

【図面の簡単な説明】

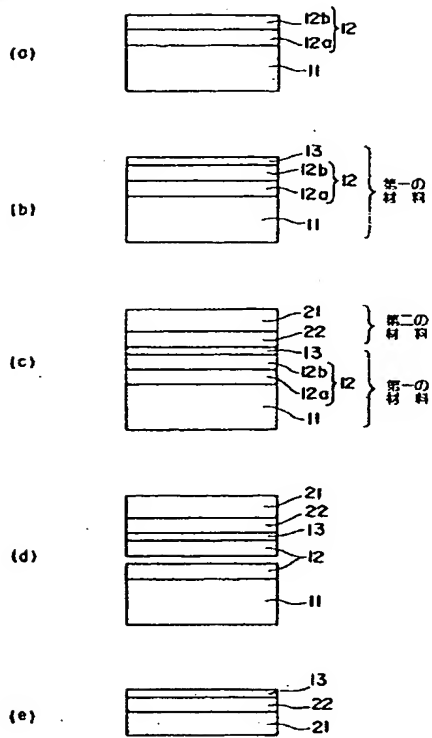
【図1】図1は、本発明の一実施形態にかかる半導体基板の製造工程を示す図である。

【図2】図2は、従来の歪みSi層を有する半導体基板の概念断面図である。

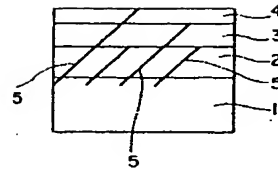
【符号の説明】

- | | | |
|-----|-----------------------------|----|
| 1 | シリコン基板 | |
| 2 | 組成変調シリコン・ゲルマニウム層（組成変調SiGe層） | 20 |
| 3 | 緩和シリコン・ゲルマニウム層（緩和SiGe層） | |
| 4 | 歪みシリコン層（歪みSi層） | |
| 5 | 貫通転位 | |
| 11 | シリコン・ゲルマニウム基板（SiGe基板） | |
| 12 | 多孔質層 | |
| 12a | 多孔度の高い多孔質層 | |
| 12b | 多孔度の低い多孔質層 | |
| 13 | 歪みシリコン層（歪みSi層） | |
| 21 | シリコン基板 | |
| 22 | シリコン酸化膜層 | 30 |

【 図 1 】



【 図 2 】



フロントページの続き

(72)発明者 仙田 剛士

新潟県北蒲原郡聖籠町東港六丁目8 6 1 番地5 新潟東芝セラミックス株式会社内

Fターム(参考) 5F052 JA01 KA01 KA05

5F110 AA30 DD05 DD13 GG02 GG06 GG12 GG25 GG47 QQ17